

# TDC RPC Ver. 2

La figura 1 mostra lo schema a blocchi del TDC RPC versione 2. La nuova versione si differenzia dalla prima per la risoluzione temporale, passata da 25ns a 10ns e per la presenza di un circuito di impulsaggio con uscite VLDS.

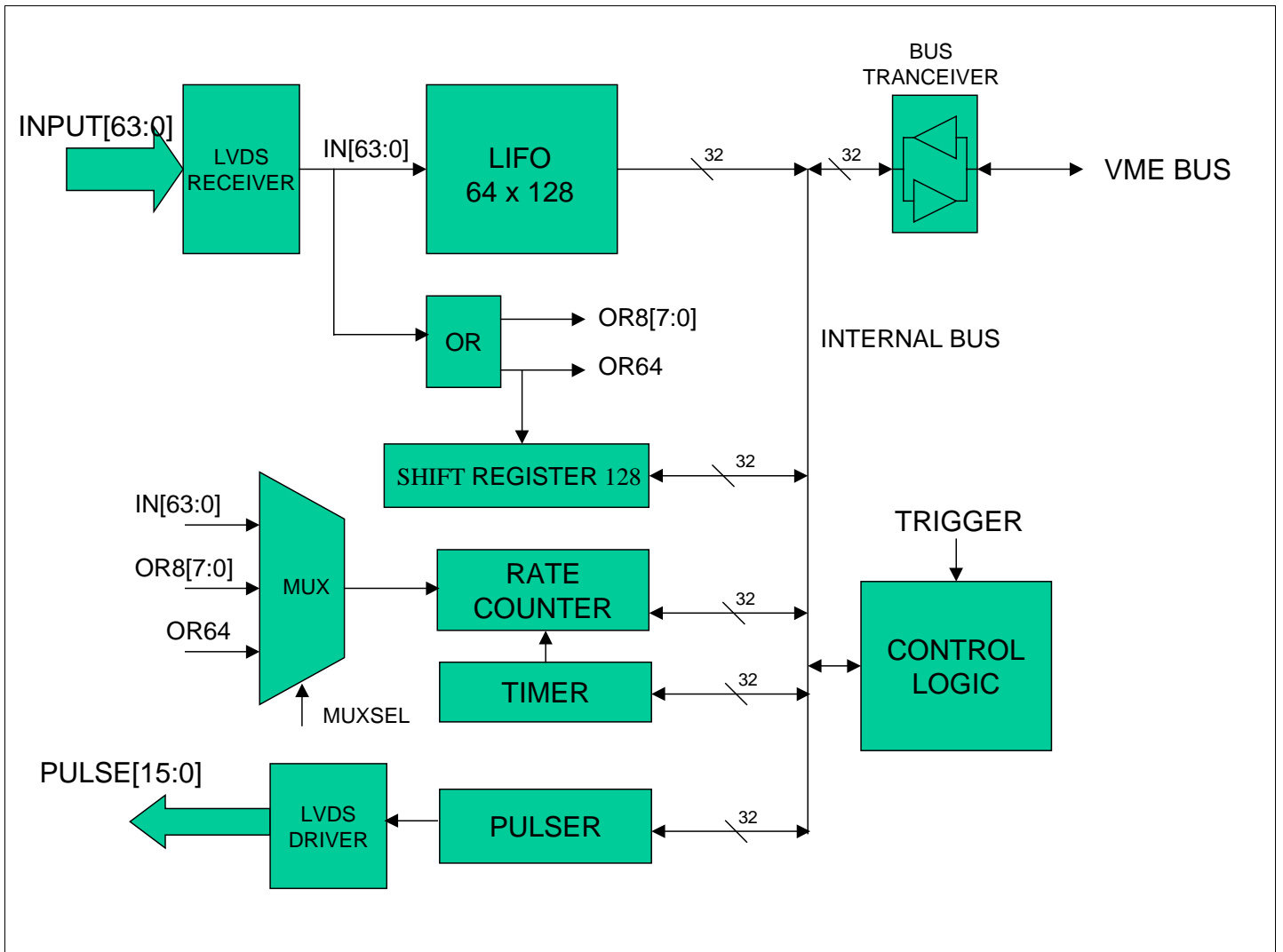


Fig. 1: Schema a blocchi del TDC 100MHz

## INGRESSI ED USCITE

Il modulo prevede due ingressi frontali in logica NIM per il clock e per il trigger.

I segnali in ingresso possono essere inoltrati, attraverso il backplane, agli altri moduli del crate, purché il backplane stesso sia correttamente terminato per trasmettere i segnali ECL.

## CLOCK

Il modulo per funzionare necessita di un segnale di clock a frequenza non superiore a 50 MHz. Senza questo segnale esso non e' in grado di rispondere a cicli del bus VME. Internamente al modulo e' presente una PLL che duplica la frequenza del clock allo scopo di raggiungere la massima risoluzione temporale di 10ns.

Il clock del modulo puo' essere ricavato dall'ingresso frontale in logica NIM, dal backplane del crate in logica ECL differenziale o generato internamente da un oscillatore al quarzo da 50 MHz.

Possibili configurazioni dell'ingresso di clock e relativa configurazione dei jumpers:

<b>SORGENTE</b>	<b>J13</b>	<b>J8 (CLOCK)</b>
Quarzo interno	XTAL	EXT
Ingresso frontale	LEMO	EXT
Backplane	indifferente	INT

Nel caso in cui il modulo sia utilizzato per pilotare le linee ECL sul backplane, occorre cortocircuitare con una goccia di stagno i jumpers J9 e J10. In tal caso viene inoltrato sul backplane il segnale selezionato tramite J13, ovvero il clock generato con il quarzo o quello inserito tramite l'ingresso frontale. In questa modalita' la posizione consigliata del jumper J8 (CLOCK) e' quella INT, per unigormita' con gli altri moduli del crate.

## TRIGGER

Il modulo usa questo segnale per fermare l'acquisizione. Il segnale e' campionato alla frequenza del clock del TDC (100 MHz massimo), per cui dovra' avere durata minima 1 ciclo di clock (10ns per clock a 100 MHz). Il modulo ferma l'acquisizione sul fronte positivo di questo segnale.

Il modulo puo' ricevere il segnale di trigger dell'ingresso frontale in logica NIM o dal backplane del crate in logica ECL differenziale. La selezione degli ingressi e' fatta tramite il jumper J15 (TRIGGER). La posizione EXT seleziona l'ingresso frontale, mentre quella INT il backplane.

Cortocircuitando i due jumpers J11 e J12 e' possibile iniettare nel backplane il segnale NIM ricevuto dall'ingresso frontale.

## INPUTS

La scheda accetta 64 ingressi in logica LVDS. I segnali sono campionati alla frequenza del clock del TDC (100 MHz massimo), per cui dovra' avere durata minima 1 ciclo di clock (10ns per clock a 100 MHz). Il modulo e' sensibile al fronte di salita degli ingressi.

## **PULSE**

E' possibile programmare il modulo per generare fino a 16 segnali LVDS per scopi di test. Se attivata, l'uscita PULSE genera un onda quadra di frequenza 1/8 del clock del modulo (max 50MHz).

## **VME**

Il modulo risponde unicamente a cicli VME D32 A24. E' assolutamente indispensabile la presenza del segnale di clock affinché la scheda risponda a cicli VME.

## **FUNZIONAMENTO DEL MODULO**

Il TDC dispone di una memoria LIFO profonda 128 parole da 64 bit cadauna. L'acquisizione parte attivando il bit 0 del registro di RUN. Durante l'acquisizione, ogni volta che viene rivelato un fronte di salita in uno degli ingressi, viene scritta una parola nella LIFO, contenente un bit ad 1 in corrispondenza di ciascun ingresso attivato. Per conservare traccia temporale dell'attivazione dell'ingresso e' presente uno shift register lungo 128 bit, che viene shiftato ad ogni ciclo di clock, a cui viene aggiunto un 1 ogni volta che viene scritta una parola nella LIFO.

Quando giunge il segnale di trigger, la situazione dello shift register e della LIFO viene congelata, e verra' azzerata alla partenza della successiva acquisizione.

La procedura corretta e':

- Attivare l'acquisizione scrivendo 0x01 in RUN (0x00)
- Attendere il trigger, leggendo il bit 0 del registro RUN(0x00) o altra elettronica del setup
- Leggere i registri SR0-SR3 (0x04-0x10)
- Per ciascun bit ad uno dei registri leggere una parola dalla LIFO (0x400-0x7ff): la prima restituira' i bit 0-31, mentre la seconda i bit 32-63

## **FUNZIONI DI STATISTICA**

Il TDC dispone di un frequenzimetro, in grado di contare il numero di attivazioni degli ingressi in un periodo assegnato.

Tramite il registro CTIME (0x14) e' possibile assegnare il periodo di osservazione in cicli di clock del TDC (50MHz).

Il registro FCTRL (0x1c) permette di selezionare l'ingresso del contatore fra: un ingresso del 64 del TDC, l'OR di un gruppo di 8 ingressi o l'or di tutti gli ingressi.

Attivando il bit 31 di tale registro si fa partire la misura. AL termine del periodo di osservazione il bit viene resettato e nel registro FREQ (0x18) e' presente il risultato della misura.

## **FUNZIONE DI IMPULSAGGIO**

Il registro PCTRL (0x20) permette di attivare le uscite di impulsaggio. A ciascuno del bit 0-15 corrisponde una uscita di impulsaggio. Se si scrive uno nel corrispondente bit del registro l'uscita viene pilotata con una onda quadra a frequenza fissa di 1/8 del clock del TDC.

## **ELENCO DEI REGISTRI**

### **ADD 0x00: RUN**

READ restituisce 1 se in RUN, 0 se in STOP

WRITE 1 lancia l'aquisizione, 0 STOP all'aquisizione come se fosse arrivato un impulso di trigger.

### **ADD 0x04: SR0**

READ restituisce la parte 0 dello shift register [31:0]

N.B. LO SR viene azzerato allo start del RUN ed i nuovi bit entrano dal bit 0.

### **ADD 0x08: SR1**

READ restituisce la parte 1 dello shift register [63:32]

### **ADD 0x0C: SR2**

READ restituisce la parte 2 dello shift register [95:64]

### **ADD 0x10: SR3**

READ restituisce la parte 3 dello shift register [127:96]

### **ADD 0x14: CTIME**

READ/WRITE contiene il tempo di osservazione per il contatore di rate in cicli di clock (20ns)

### **ADD 0x18 FREQ**

READ restituisce il contatore di rate.

### **ADD 0x1C FCTRL**

bit 31 = TIMER\_ON

bit 6:0 = MUXSEL

READ/WRITE scrivendo 1 in TIMER\_ON si fa partire il timer di rate.

Quando scade il tempo impostato TIMER\_ON diventa 0.

MUXSEL seleziona l'ingresso da conutare: 0-63 ingressi, 64-71 OR8[7:0], 72 OR64.

**ADD 0x20 PCTRL**

READ/WRITE scrivendo 1 in uno del bit 15-0 si attiva la corrispondente uscita di PULS[15-0]

**ADD 0x400-0x4ff RAM**

READ legge il contenuto della LIFO. Ad ogni lettura si leggono 32 bit, prima quelli bassi poi quelli alti di ogni riga della LIFO. Il modulo supporta il block transfer dalla RAM, per cui si possono leggere n locazioni in un'unica operazione VME.