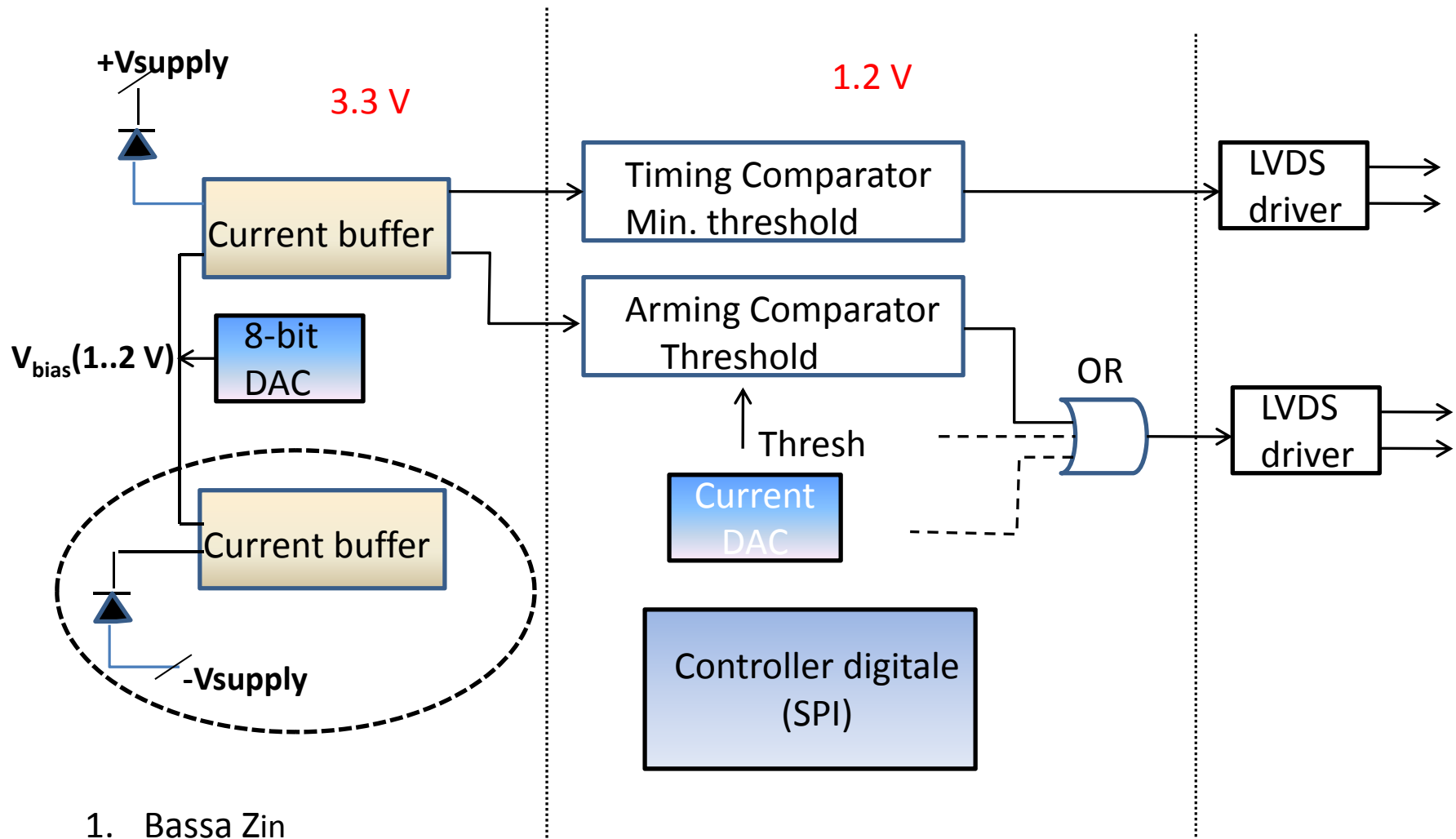


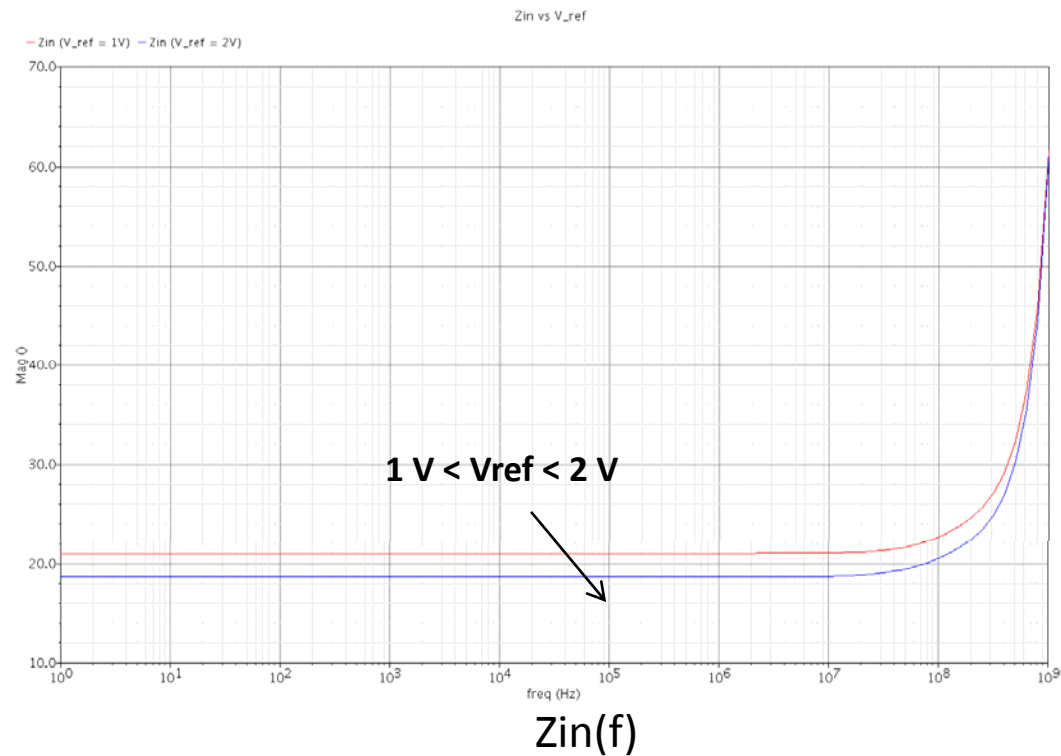
Schema a blocchi dell'ASIC rel.0 (Tecnol. IBM 130 nm)



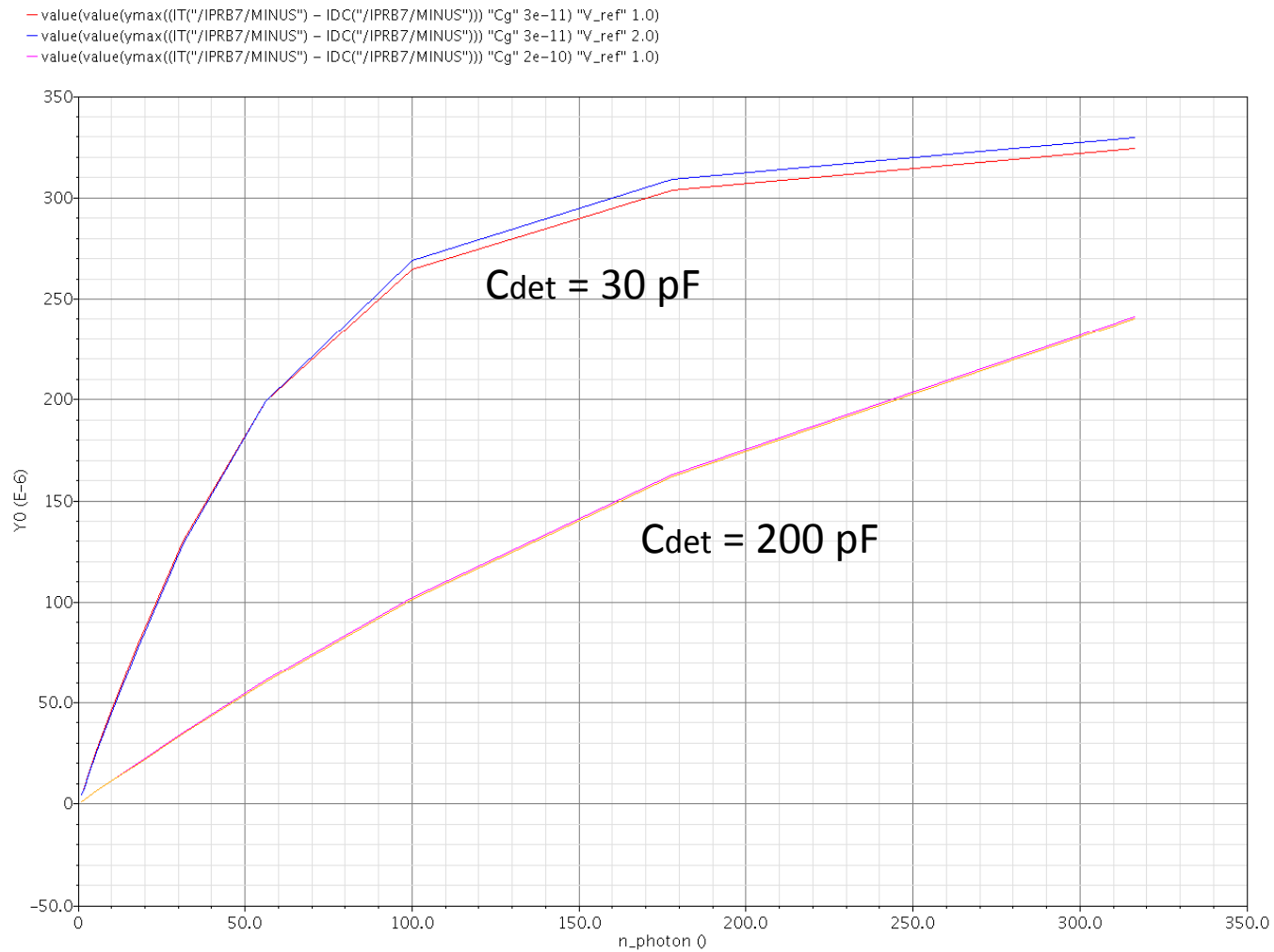
1. Bassa Z_{in}
2. Larga banda
3. Variare V_{bias} del SiPM

Current buffer

- Due versioni di current buffer: segnali positivi o negativi.
 - In questo prototipo: 4 canali posit. e 4 canali negat.
 - Voltage DAC (8 bit) per impostare la Vref (1/canale). Risoluzione = 13 mV
-

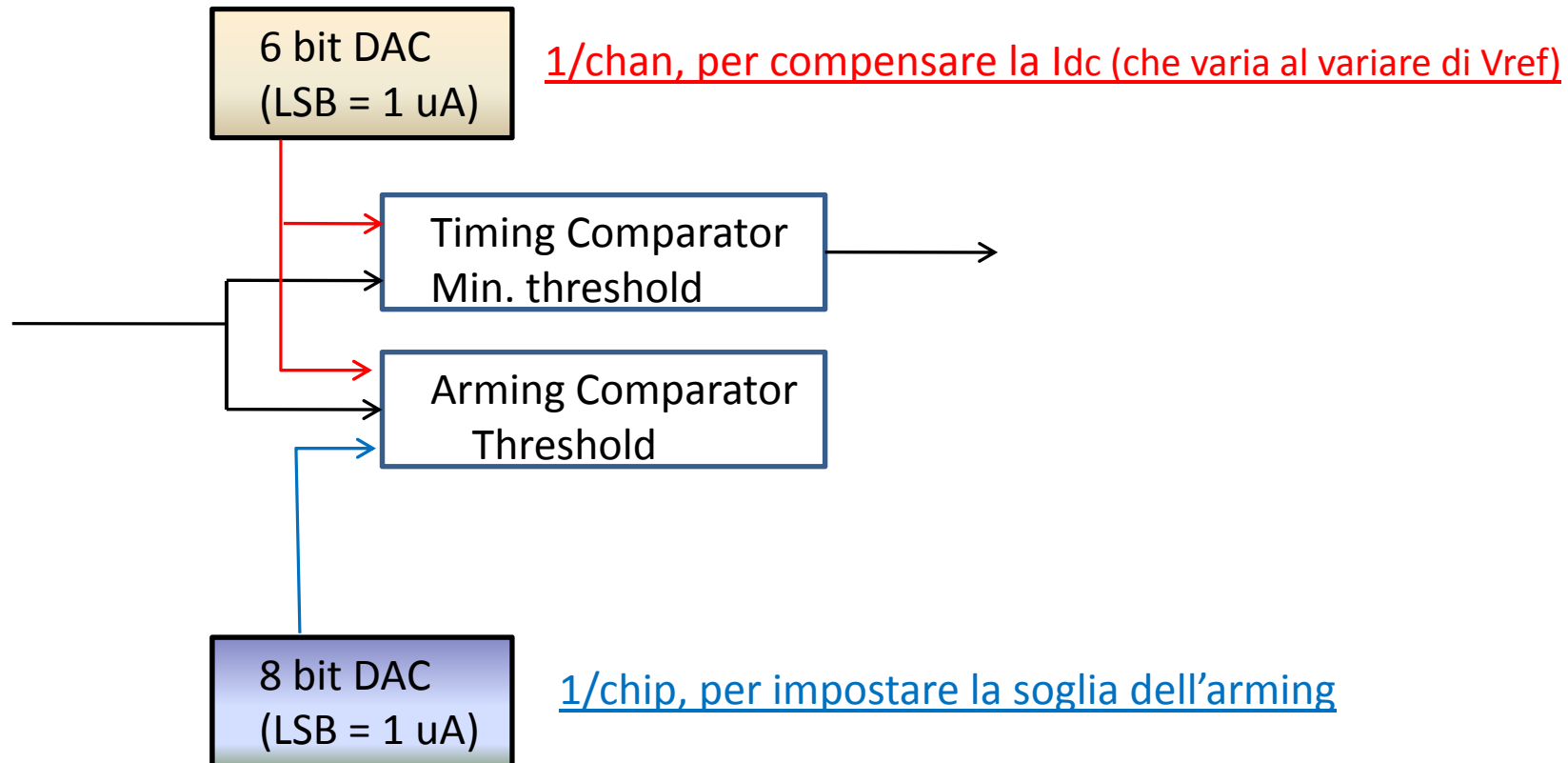


Current buffer: Ampiezza del picco per varie Cdet e Vref

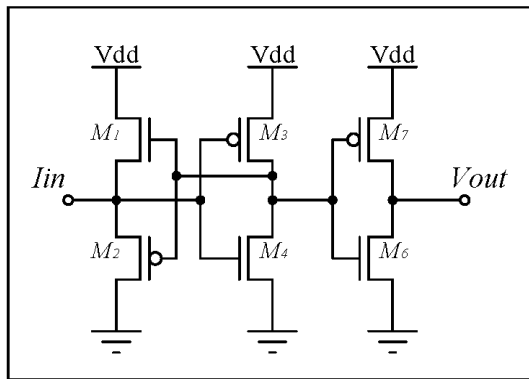


- Il picco di I_{out} varia molto poco al variare di V_{ref} tra 1V e 2 V

Current comparator



Zero-crossing current comparator



Schema semplificato

$10 \leq N_{cell} \leq 500$:

$C_{det} = 30 \text{ pF} \rightarrow \Delta T_{max} = 400 \text{ ps}$

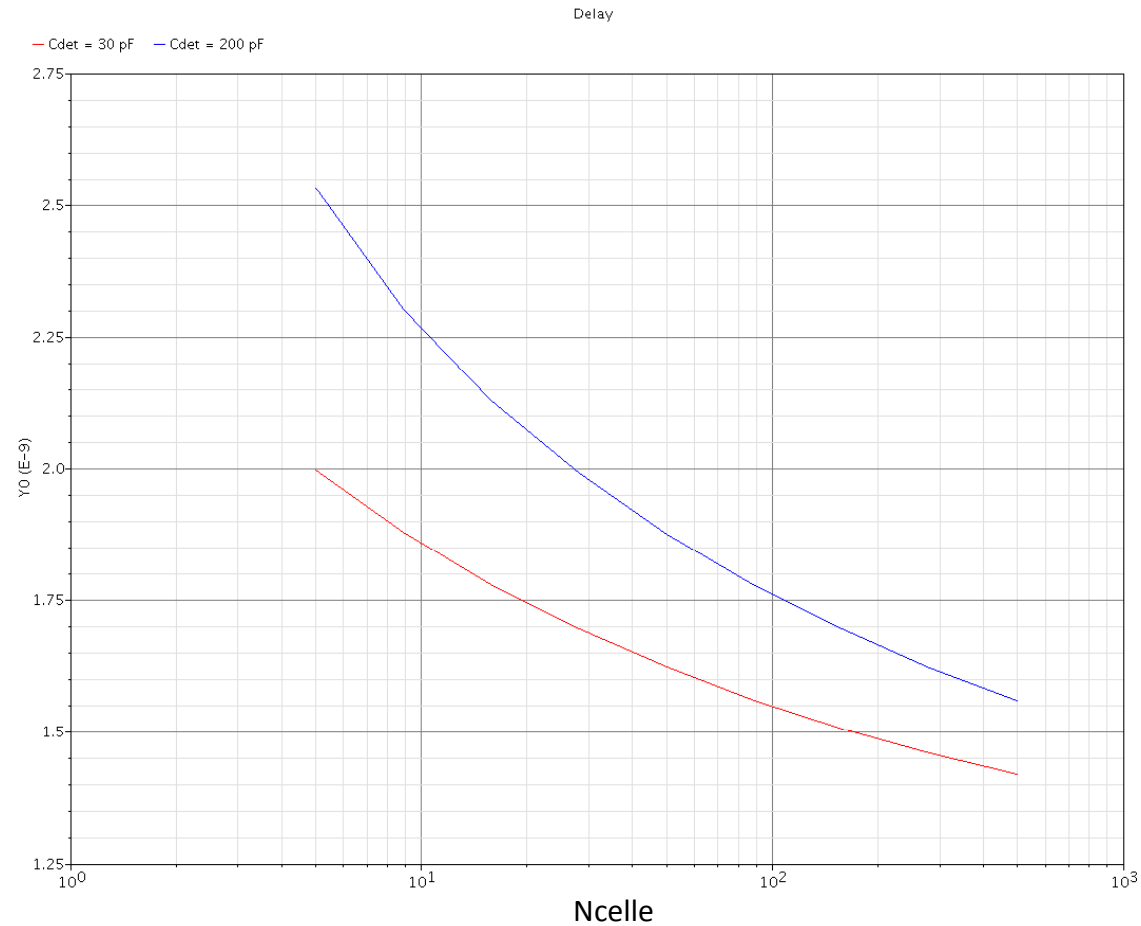
$C_{det} = 200 \text{ pF} \rightarrow \Delta T_{max} = 700 \text{ ps}$

- Il ritardo puo' essere migliorato aumentando la corrente del current buffer e/o del discriminatore

- Prevedere la possibilita' di variare la I

- **Correzione del timing dall'informazione sulla carica (Time over Threshold)**

- $I_{dc} \sim 50 \text{ uA}$
- Minima $I_{th} = 3 \text{ uA}$
- Velocissimo, anche per piccoli overdrive
- Il time walk e' legato allo zero-crossing del segnale di Ingresso (trise ...)



Conclusioni

- **Blocchi sviluppati (schematics):**
 - Current buffer (2 versioni)
 - Current comparator
 - 8-bit voltage DAC per la V_{ref}
 - 6-bit e 8-bit current DACs per la soglia
 - Driver LVDS

- **Blocchi da sviluppare (schematics):**
 - Receiver LVDS
 - Logica di controllo (SPI) per scrivere/leggere i DAC

- **Layout:**
 - Fatto il layout del current buffer per SiPM con +Vbias (le simul. Post sembrano OK)

- **Manpower:**
 - Flavio: schematici + layout
 - Deepak (ing. Indiano per 2 mesi a Bari dalla prox. settim.): schematici + layout
 - Giuseppe De Robertis: controller digitale

Ottimisticamente per luglio potremmo avere il progetto (quasi) pronto ...