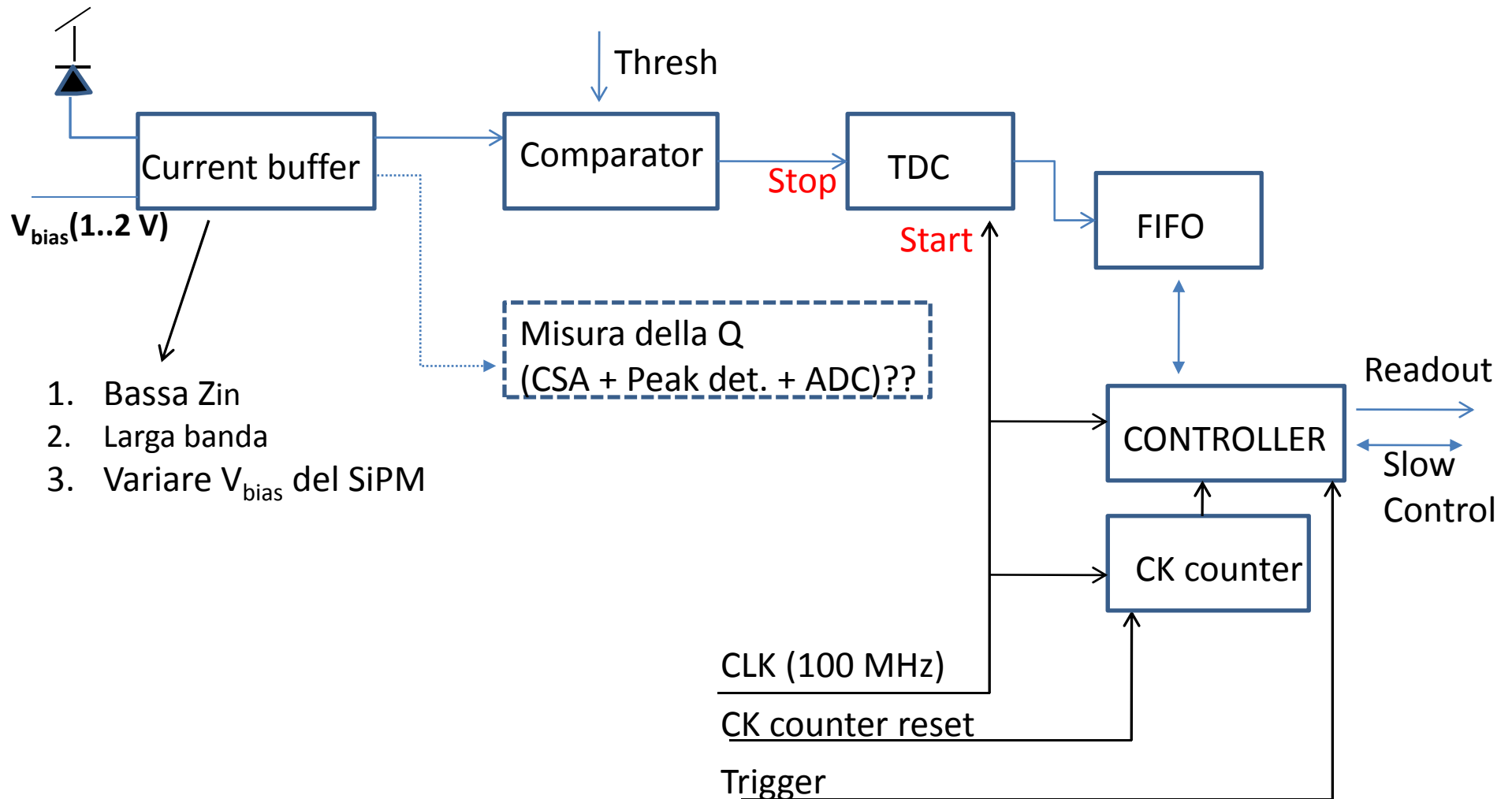
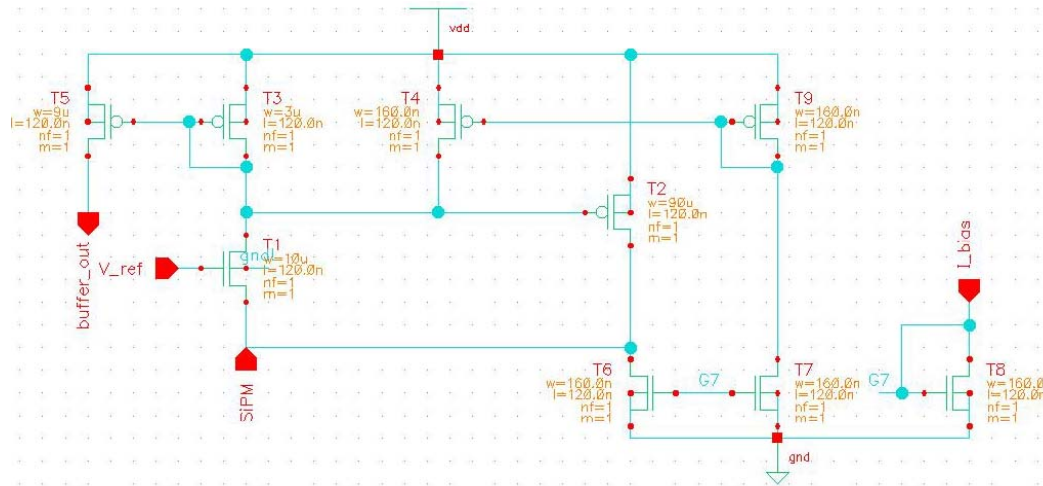


Proposta di schema a blocchi dell'ASIC (Tecnol. IBM 130 nm)

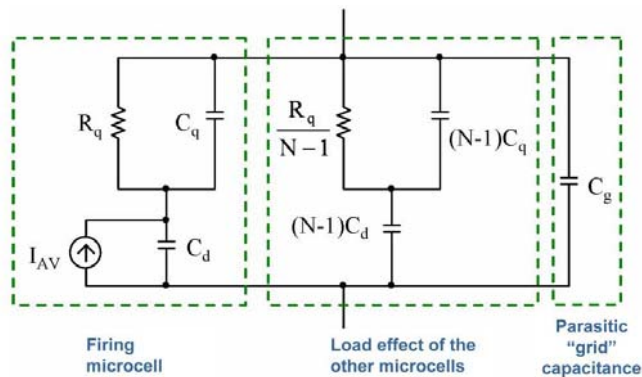


Current buffer



1. Variando V_{ref} (tra 1 V e 2 V) si varia anche il bias del SiPM
2. Alimentazione del buffer a 3.3V → usare nfet33 e pfet33
3. Il resto del circuito utilizzerà i mos "standard" → Vdd = 1.2 V

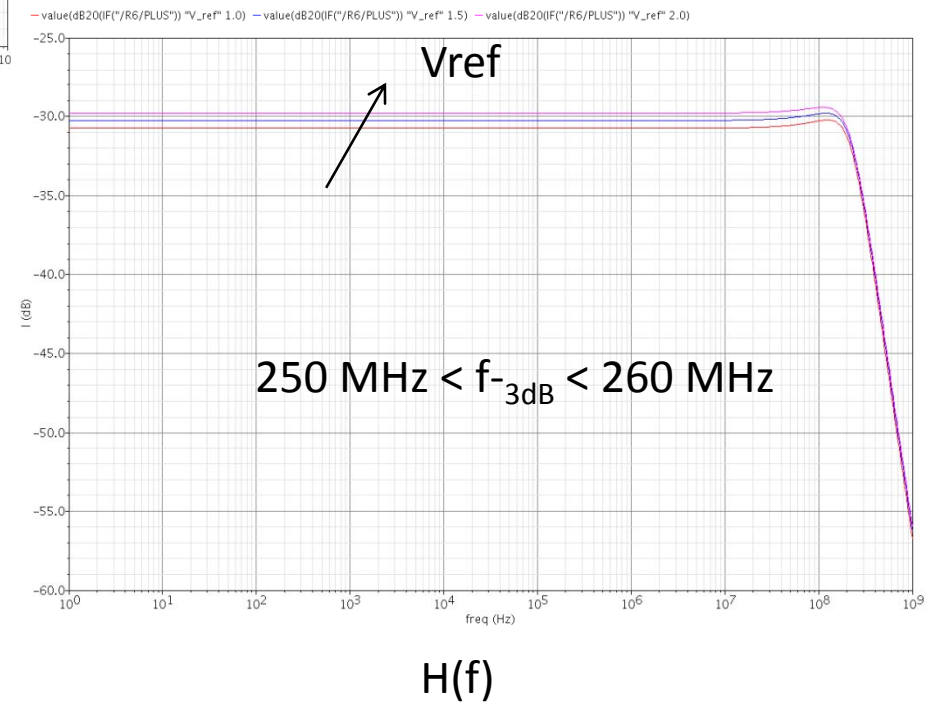
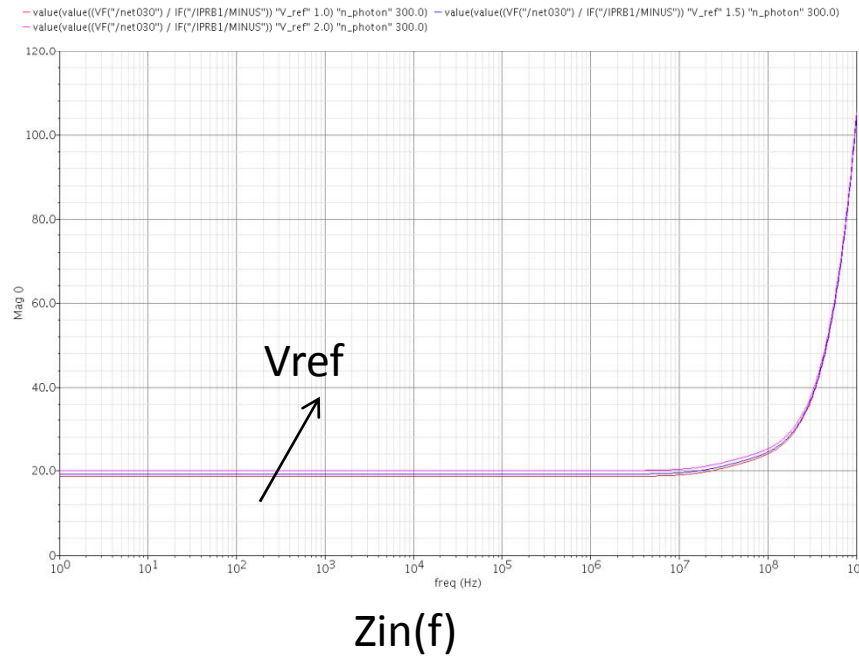
Il dimensionamento attuale e' basato sui SiPM dell'FBK-Irst recentemente usati dal POLIBA



Modello elettrico di un fotomoltiplicatore al silicio con N microcelle

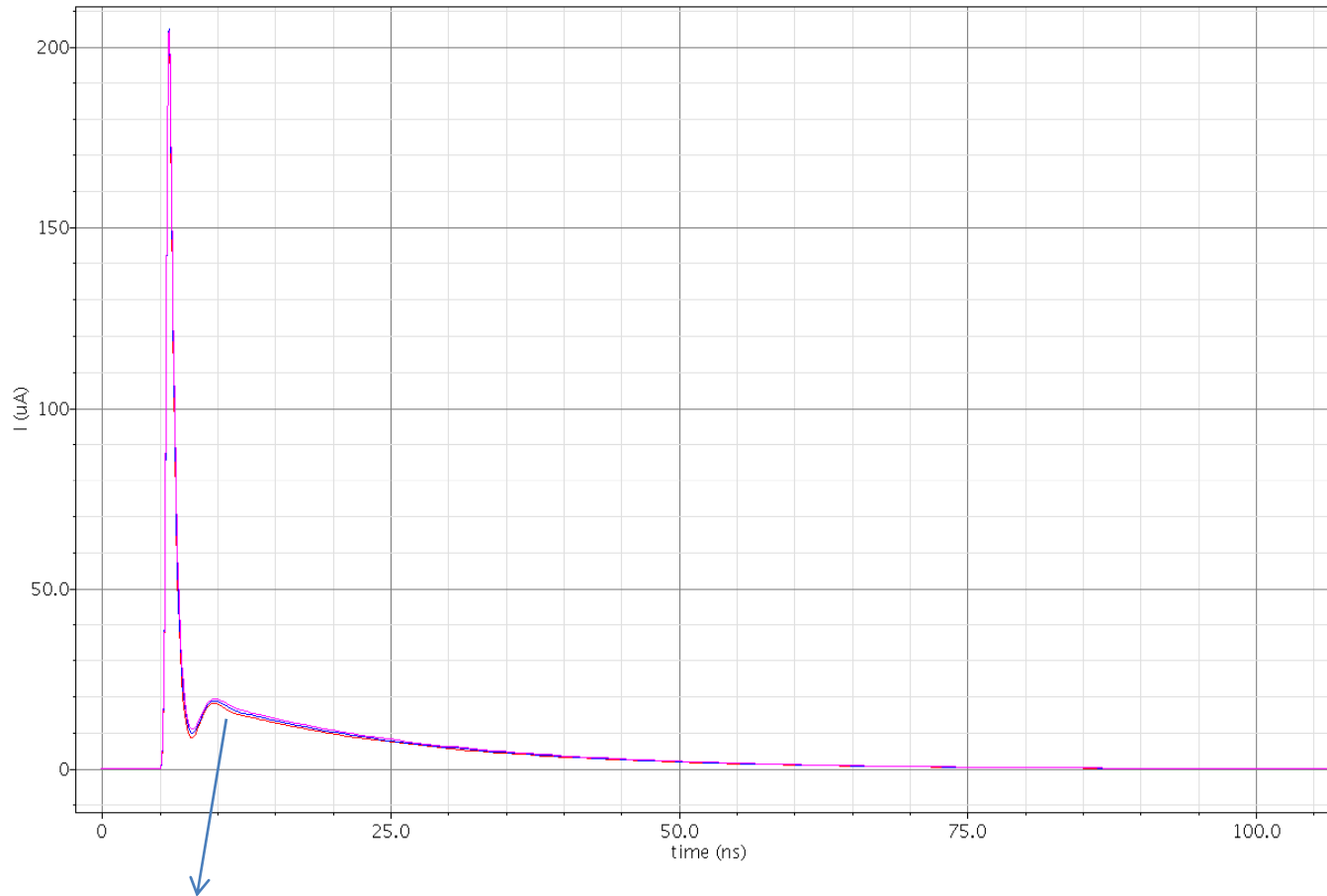
Param	N μ celle = 625
Rq	393 k Ω
Vbr	31.2 V
Q	174.5 fC
Cd	34.6 fF
Cq	12.2 fF
Cg	27.8 pF

Current buffer: Z_{in} & $H(f)$ ($1\text{ V} < V_{ref} < 2\text{ V}$)



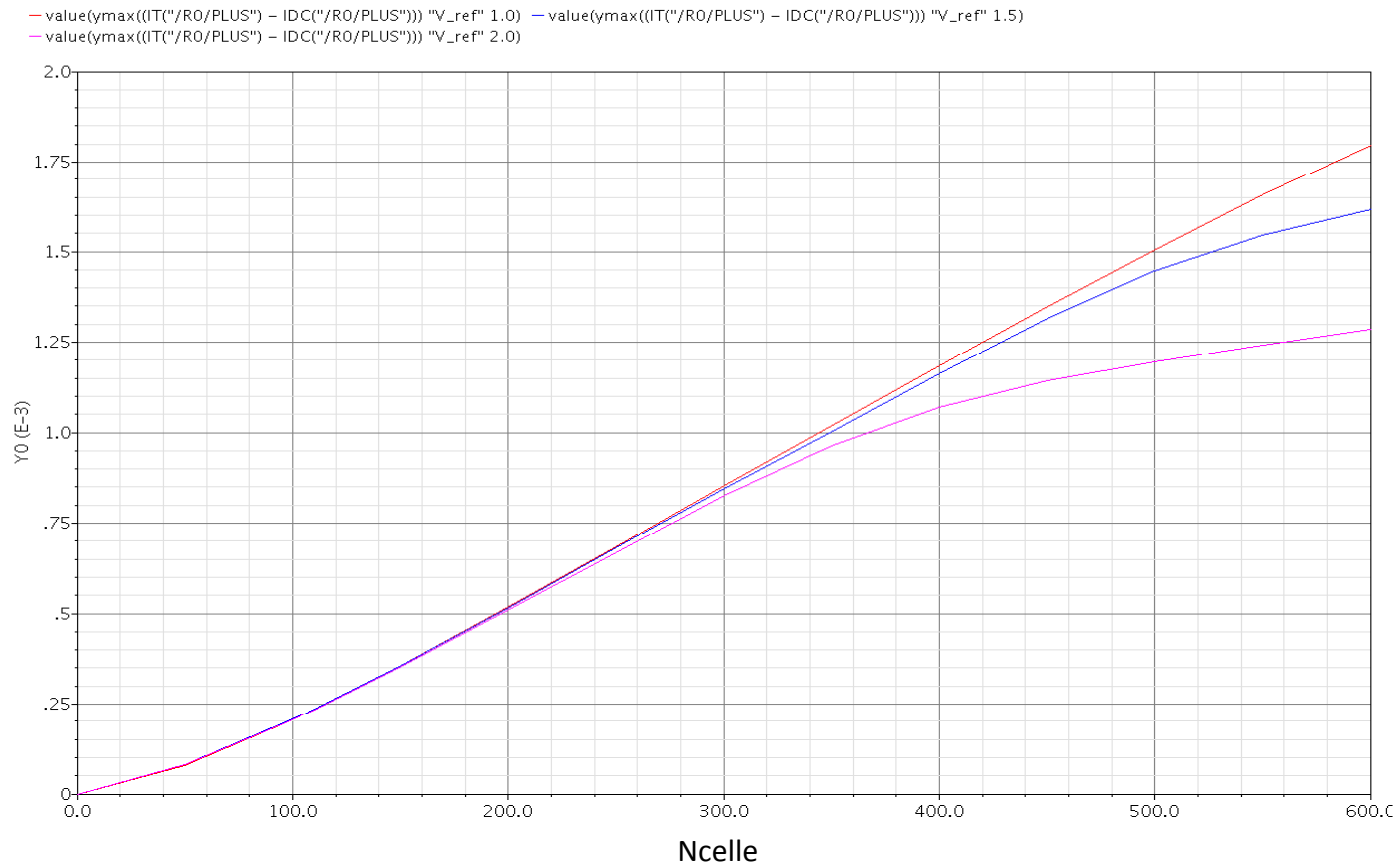
Current buffer: Risposta al transitorio nel caso di 100 microcelle

— value(value((IT("/R0/PLUS") - IDC("/R0/PLUS"))) "V_ref" 1.0) "n_photon" 100.0) — value(value((IT("/R0/PLUS") - IDC("/R0/PLUS"))) "V_ref" 1.5) "n_photon" 100.0)
— value(value((IT("/R0/PLUS") - IDC("/R0/PLUS"))) "V_ref" 2.0) "n_photon" 100.0)



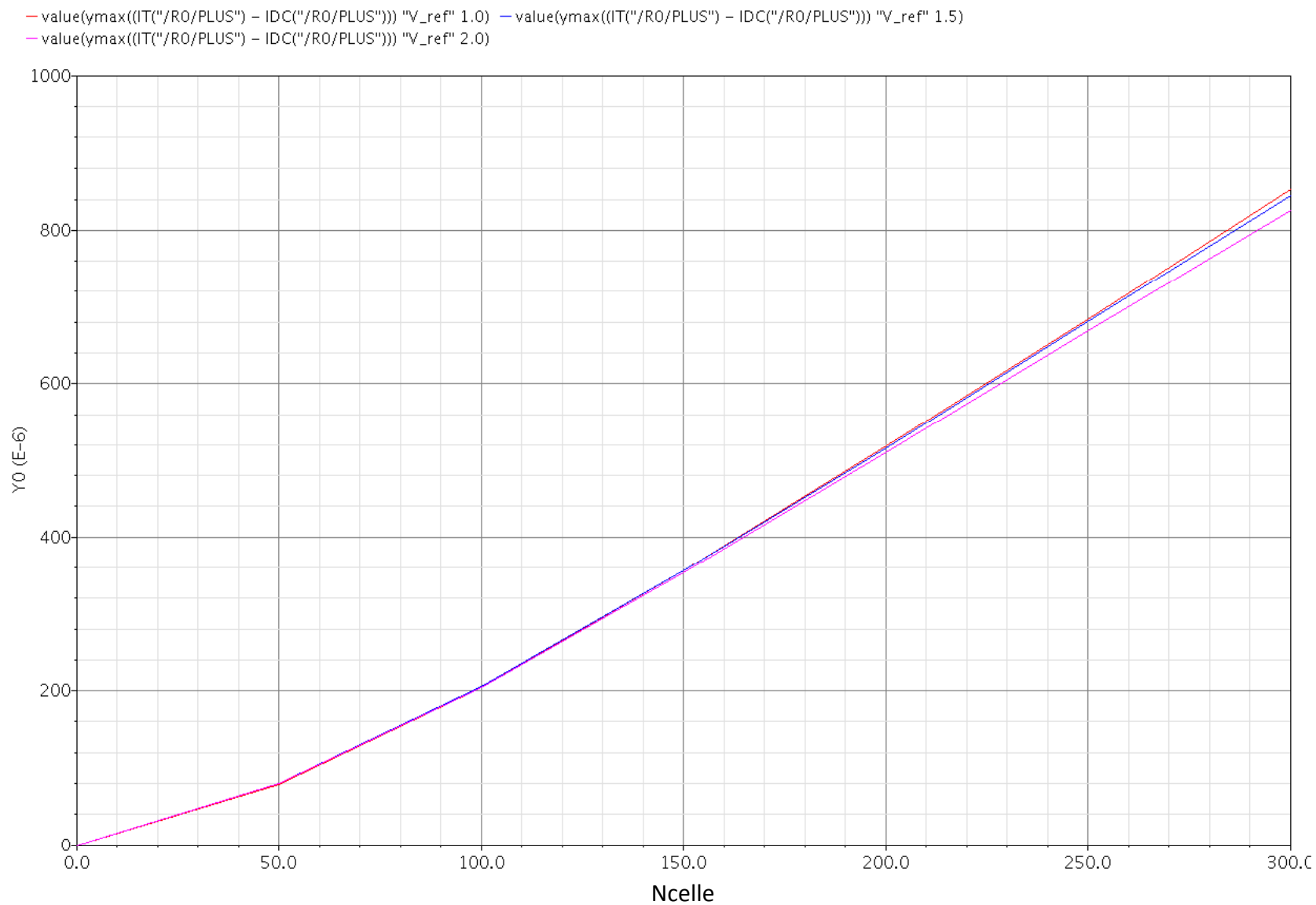
Il 2° picco fa parte dello smorzamento della I_{out}
Nel circuito finale si puo' mitigare (se ci da' fastidio)
Comunque anche cosi' il margine di fase e' di circa 60 deg.

Current buffer: Ampiezza del picco per varie Vref

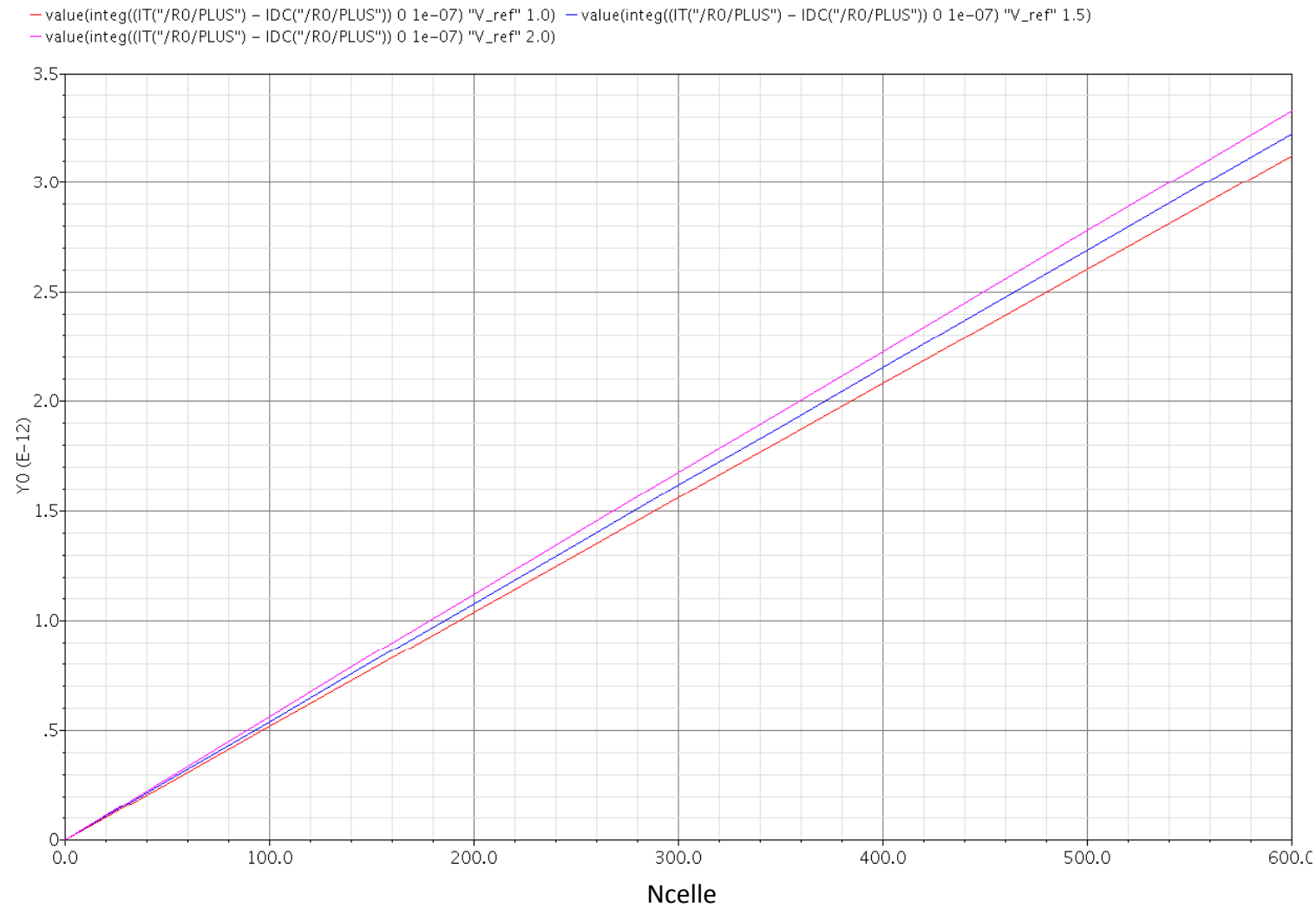


1. All'aumentare di Vref aumentano le non linearita' nel caso di grosse cariche, in particolare per Vref > 1 V
2. Attualmente, e' stato ottimizzato per fornire I_{peak} uniforme fino a N = 200 (qual e' il nostro range di soglia, dove e' richiesta linearita' ?)

Current buffer: Ampiezza del picco per varie Vref

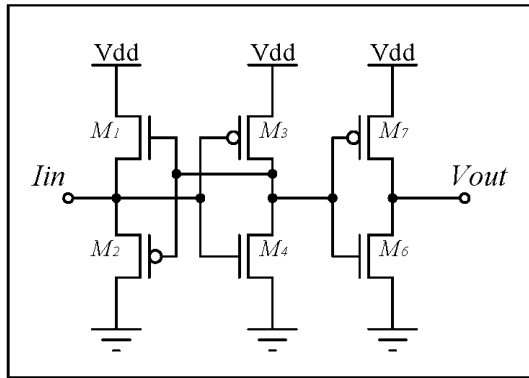


Current buffer: Q_{out} per varie Vref



A differenza di I_{peak} , Q_{out} e' lineare fino a 600 microcelle, ma variando V_{ref} varia anche il guadagno (attenuazione) del buffer: **e' un problema da risolvere/mitigare?**

Zero-crossing current comparator



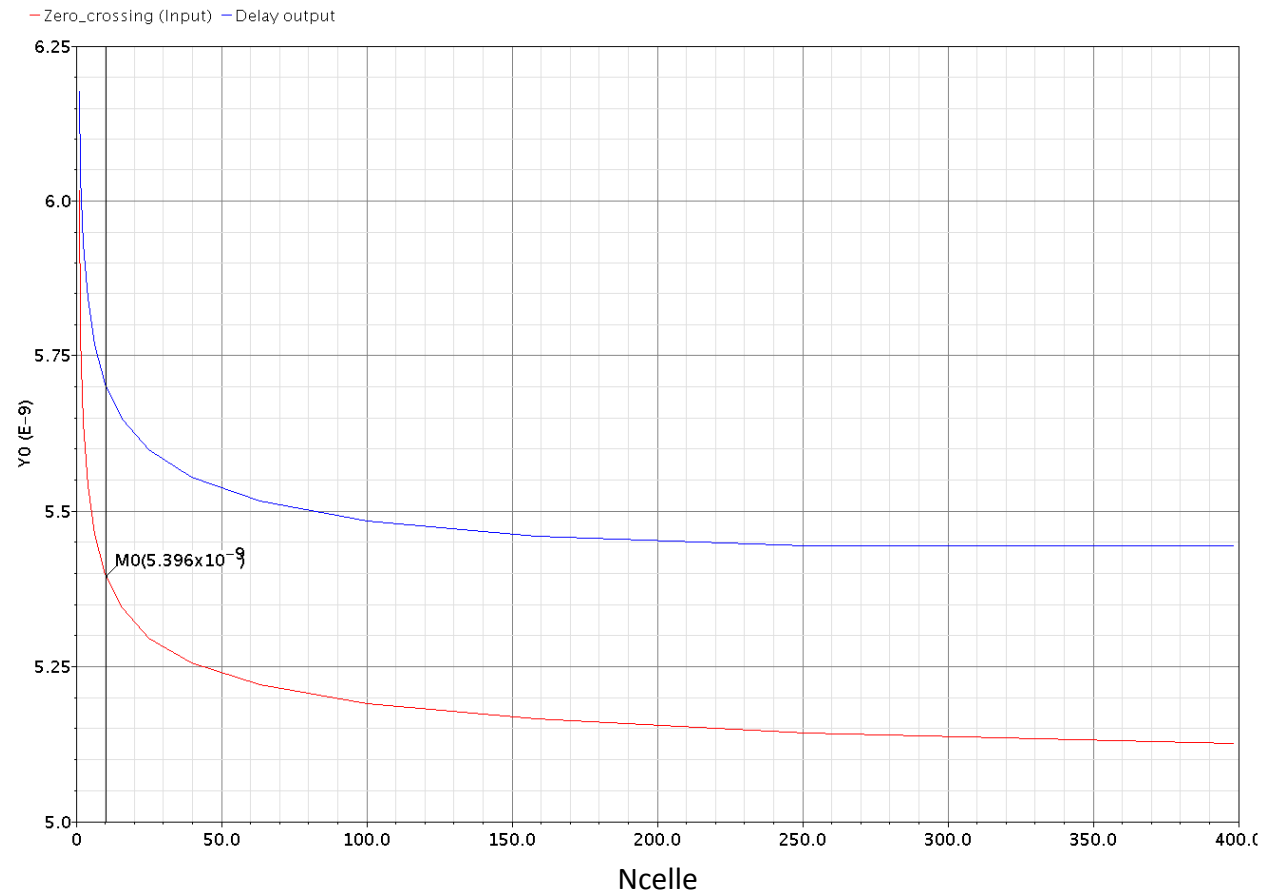
Schema semplificato

- $I_{dc} \sim 30 \mu A$
- Minima $I_{th} = 5 \mu A$
- Velocissimo, anche per piccoli overdrive
- Il time walk e' legato allo zero-crossing del segnale di Ingresso

1 ≤ Ncell ≤ 600
 → $\Delta T_{max} = 800 \text{ ps}$

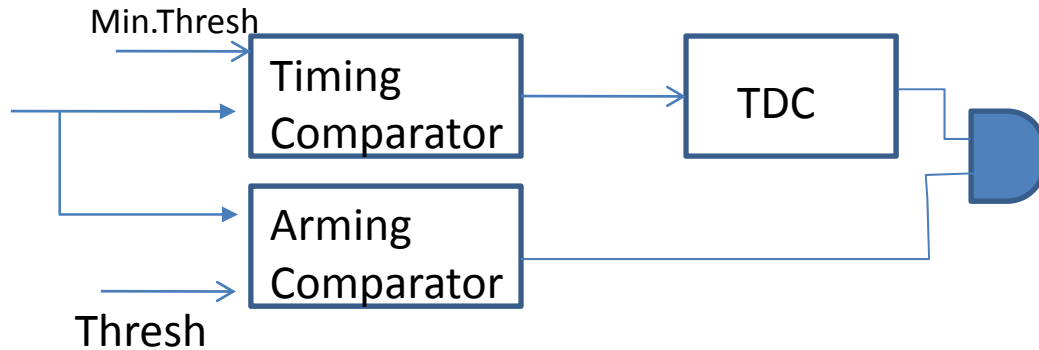
5 ≤ Ncell ≤ 600
 → $\Delta T_{max} = 350 \text{ ps}$

10 ≤ Ncell ≤ 600
 → $\Delta T_{max} = 260 \text{ ps}$



Zero-crossing current comparator

Opzione 1



Se la Th dell'arming > 5 celle, ci aspettiamo $\Delta T_{\max} < 350$ ps

Opzione 2

Correzione del timing dall'informazione sulla carica, oppure Time over Threshold ...

Opzione 3

Migliorare lo zero-crossing, usando tecnica CFD

Time-to-Digital Converter

1. Fondo scala
2. Risoluzione
3. Budget di potenza (e durata della misura)
4. Rate di evento → un TDC per canale o multiplexing

- TAC + ADC: consuma meno, necessita di frequenti calibrazioni, soffre di non linearita'
- DLL: consumi. Si puo' accendere il clock il minimo necessario?

Richiesta di specifiche

1. N. μ celle
2. Modello circuitale (C, R)
3. I della μ cella
4. Leakage
5. Rate
6. Budget di potenza
7. Range di soglia (range di linearita' del Ipicco)
8.