

Introduzione alla progettazione VLSI

- n **Sviluppi nella tecnologia VLSI**
- n **Problematiche connesse allo scaling**
- n **Quale futuro nello sviluppo del VLSI**
- n **Nanotecnologie**

Lo sviluppo della tecnologia VLSI

- ∅ **La legge di Moore continua a valere (?):**
 - ∅ Il numero di bit delle DRAM quadruplicano ogni 3 anni
 - ∅ La complessità dei chip VLSI raddoppia ogni 18 mesi
 - ∅ Nel 1995 si pensava che i suoi effetti terminassero nel 2010 con la 0.1 μm (!)
 - ∅ Continuerà a valere almeno fino al raggiungimento della 0.01 μm (!) (2005-2007?)

- ∅ **Cosa succederà quando si raggiungeranno i limiti fisici della struttura atomica della materia?**

Lo sviluppo della tecnologia VLSI

∅ Previsioni:

∅ 2010

∅ Costo memorie: 1/20 delle attuali

∅ Microprocessori 10 volte più veloci

∅ 2016

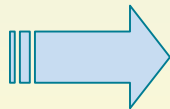
∅ Costo memorie: 1/100 delle attuali

∅ Microprocessori 15 volte più veloci

∅ **Il costo dei chip sembra aumentare, ma costo/benefici diminuisce**

Lo sviluppo della tecnologia VLSI

- ∅ Il 75% dei semiconduttori al mondo è Si-CMOS
 - ∅ Sviluppo di materiali alternativi (SiGe, GaAs, BiCMOS-SiGe, SOI, SOS)
- ∅ sviluppo della tecnologia *Mixed-signal*
- ∅ avvento dei MCM (Multi-Chip-Modules), sopravvento sui PCB
- ∅ Systems-on-Chip (SOCs): interi sistemi su singolo chip, prenderanno sopravvento sui MCM
- ∅ sistemi MEMS (MicroElectricaMechanicalSystem)
- ∅ funzionalità radio in tecnologia CMOS
- ∅ nuove tecniche di *packaging*

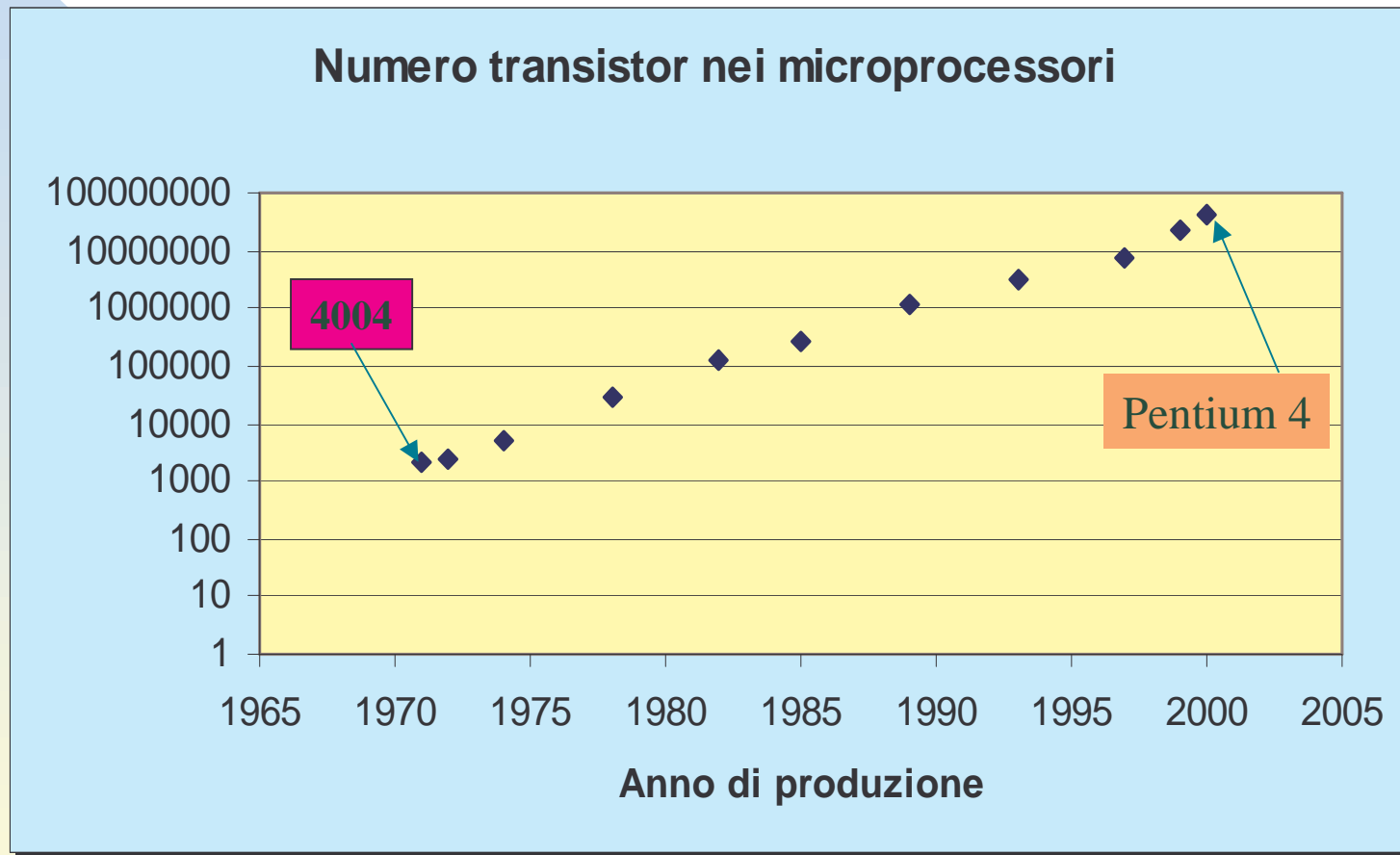


tutto ciò contribuisce ad “allungare la vita”
alla legge di Moore

Il trend della tecnologia

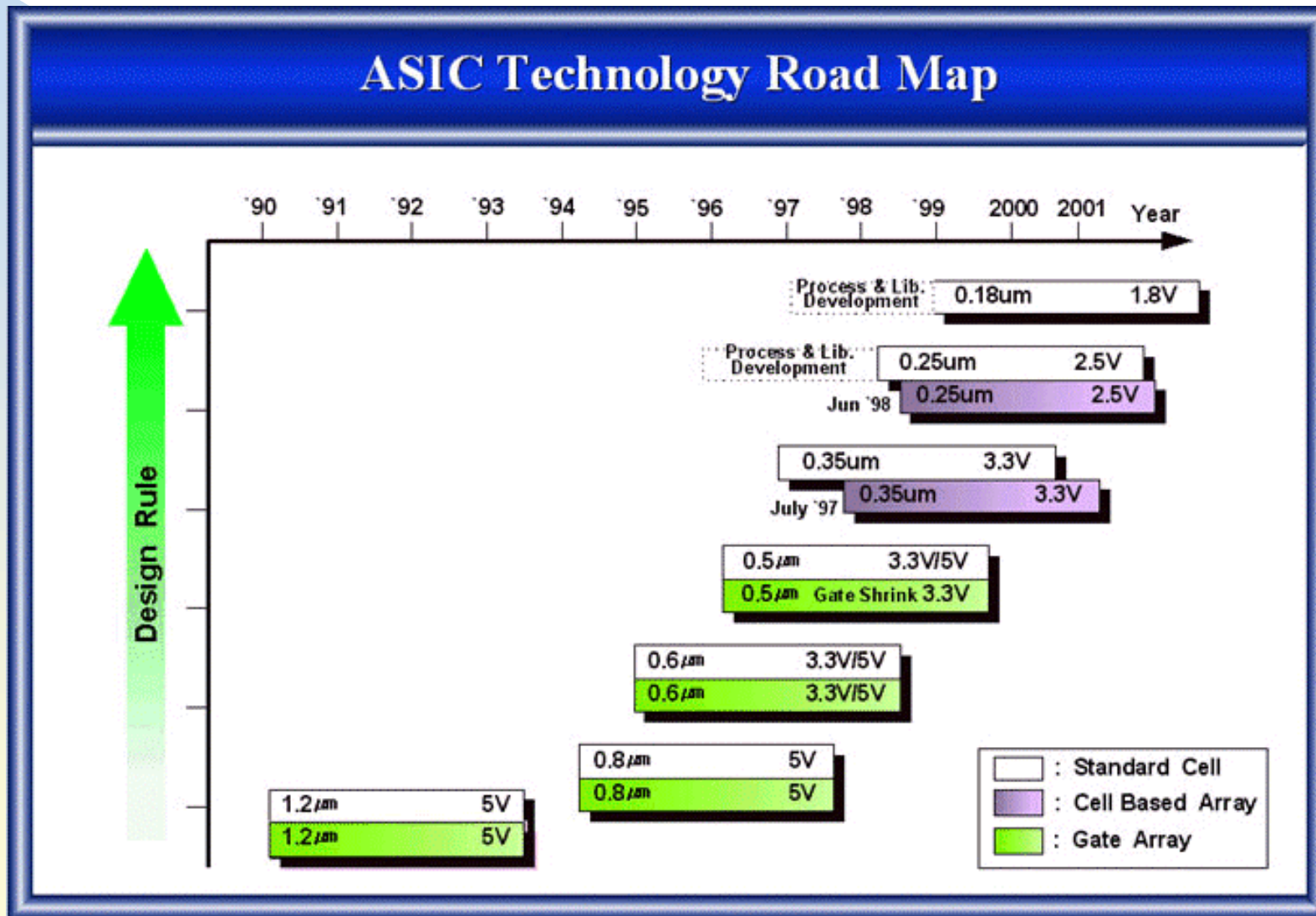
Year	Size (um)	Gate Oxide (nm)	Shrink Rate	DRAM
1974	6.0		--	4K
1977	4.0		0.67	16K
1980	3.0		0.75	64K
1983	2.0		0.67	256K
1986	1.2		0.6	1M
1988	0.8	23	0.67	4M
1989	0.5		0.63	16M
1995	0.35	9/7	0.7	64M
1998	0.25	6/5	0.71	256M
2001	0.18	3,5	0.72	1G
2003	0.13	2,5	0.72	4G
2007	0.10		0.77	16G
2010	0.07		0.70	64G

Numero di transistor nei microprocessori



Dati INTEL

Il trend della tecnologia



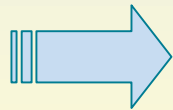
Le conseguenze del rapido sviluppo della tecnologia VLSI

n **Riduzione della geometria dei dispositivi**

- ∅ minori capacità: frequenze di lavoro più elevate
- ∅ RAM di capacità più grandi
- ∅ maggiore quantità di logica disponibile sul die
- ∅ alimentazioni più basse
- ∅ diminuzione di correnti di perdita
- ∅ strutture più immuni alle radiazioni
- ∅ vantaggi economici!!! (5 \$/transistor nel 1965 -> 10^{-6} \$ nel 2001)

n **Maggior numero di pins di I/O**

- ∅ **Nuovi packaging: BGA, EBGA, FC-BGA**



- **Necessarie nuove architetture dei dispositivi**
- **Notevole impatto sui tools (CAD) di progettazione**
- **Necessari nuovi modelli di simulazione (Spice level 3)**

L'era del deep sub-micron

- n La tecnologia a 0.1um introdurrà alla Deep sub-micron:
 - ∅ Dimensioni transistor attuale tecnologia a 0.13um è di 30nm
 - ∅ Le previsioni sono nel 2009 dimensioni transistor a 15 nm
 - ∅ Le dimensioni di un virus biologico: 100 nm
- n Uso combinato aspetti di processo innovativi:
 - ∅ Metallizzazioni in rame anziché alluminio
 - ∅ Strutture SOI
 - ∅ Bassa costante dielettrica dell'ossido ($k \rightarrow 2,7$)
- n Modifiche strutturali del transistor: non più poggiato sul substrato, ma immerso:
 - ∅ Adozione di un sottile strato di ossido a bassa K sotto il gate e di uno strato di ossido più spesso tra transistor e substrato
- § Aumento della densità di transistor: goal 10^9
- § Aumento delle velocità di commutazioni: goal 1 THz
 - ∅ Potenze in gioco estremamente elevate: dissipazione del calore

Problemi tecnici introdotti dal rapido sviluppo della tecnologia VLSI

- n Sviluppo di nuove procedure di progettazione e testing dei dispositivi (**sfida severa**)
- n Progettazione VLSI “Low-Power” (**sfida ancor più severa**)
 - ∅ I livelli di correnti di leakage nei CMOS al Si ancora troppo alti
 - ∅ Forza l'adozione di tecnologie SOI
- n I costi del testing superano i costi di produzione e di packaging dei chip
 - ∅ Nuovi modelli di procedure di built-in-self-testing
- n I valori delle induttanze in gioco tra i contatti interni (leads) e i pin, pongono non pochi problemi

Il processo di scaling nei dispositivi VLSI

- **Ridurre** le dimensioni verticali e laterali di un fattore $\alpha > 1$
- **Ridurre** la tensione di soglia e di alimentazione di α
- **Aumentare** il livello di drogaggio di α

caso digitale

- Ø **Riduce** le capacità delle giunzioni di α
- Ø **Aumenta** la velocità del dispositivo ($T_d = C \cdot V_{DD} / I$, $f_T \approx g_m / (C_{tot})$)
- Ø **Diminuisce** la potenza dissipata di un fattore α^3



n Il processo di scaling fa aumentare i valori di resistenza delle regioni di source/drain:

$$R_{s,d} = \frac{L_{s,d}}{W} \cdot R_{sq} + R_c \quad (R_{sq} = \rho/t) \quad R_{DS} = \frac{1}{\mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH})}$$

n Nei processi deep sub- μ , per diminuire i valori di resistenza, si fa uso del processo di "**silicidation**"

Il processo di scaling nei dispositivi VLSI (digitale)

n L'obiettivo: aumentare la densità dei componenti migliorando le prestazioni in frequenza

n Le dimensioni geometriche diminuiscono così come le alimentazioni: “**scaling a E_{field} costante**”

∅ Parametri del transistor ($S > 1$) :

∅ Dimensioni (W, L, t_{OX})	1/S	
∅ Drogaggio del substrato	S	
∅ Tensioni (V_{dd}, V_t)	1/S	
∅ Capacità di Gate	1/S	$(C_g = C_{\text{OX}}WL = \epsilon_{\text{OX}}WL/t_{\text{OX}})$
∅ Correnti (I_{ds})	1/S	$(I_{\text{ds}} = \mu C_{\text{OX}}W(V_{\text{gs}} - V_t)^2/2L)$
∅ R effettiva del transistor	1	$(R_{\text{tr}} \approx V_{\text{dd}}/I_{\text{ds}})$
∅ Gate delay	1/S	$(\tau = C_g \Delta V / I_{\text{av}})$
∅ Potenza dissipata	1/S ³	$(P = CV_{\text{DD}}^2)$
∅ Superficie	1/S ²	$(A = WL)$

Il processo di scaling nei dispositivi VLSI (analogico)

n Transconduttanza:

$$g_{msc} = \mu(\alpha C_{OX}) \frac{W / \alpha}{L / \alpha} \frac{V_{GS} - V_{TH}}{\alpha} = \mu C_{OX} \frac{W}{L} (V_{GS} - V_{TH})$$



n Resistenza d'uscita in saturazione:

$$r_{Osc} = \frac{1}{\alpha \lambda \frac{I_D}{\alpha}} \quad \lambda = (\Delta L / L) / V_{DS}$$



il guadagno in alternata $g_m r_O$ rimane costante

Il processo di scaling nei dispositivi VLSI (analogico)

- n **Diminuisce la power supply**  **il voltage swing d'uscita**
consentito diminuisce di α  **diminuisce il range dinamico =**
Voltage swing/tensione totale di rumore nella banda d'interesse
(se consideriamo solo il rumore termico, questo dipende da g_m che rimane costante con α)

$$\overline{V_n^2} = 4kT \left(\frac{2}{3} g_m \right) r_o^2$$



- Volendo ripristinare il range dinamico: g_m deve aumentare di α^2**
- n **causa lo scaling di tensione, $(V_{gs}-V_t)$ diminuisce di $\alpha \Rightarrow$ se $g_m = 2I_D / (V_{gs} - V_t)$ cost $\Rightarrow I_D$ deve aumentare di $\alpha \Rightarrow P = (V_{DD}/\alpha)(\alpha I_{DD}) = \text{cost}$**
- n **$g_m = \mu C_{OX} (V_{gs}-V_t) W/L$, poiché C_{OX} aumenta di α , $(V_{GS}-V_T)$ ed L diminuiscono di $\alpha \Rightarrow W$ deve aumentare di $\alpha \Rightarrow$ **più alta capacità totale del dispositivo** (in contrasto con lo scaling che impone una diminuzione anche di W)**
- n **La potenza dissipata diminuisce di un fattore $\alpha^2 (V_{DD}/\alpha)(I_{DD}/\alpha)$ invece di α^3**

Il processo di scaling nei dispositivi VLSI

- n In generale il comportamento dei dispositivi, devia dalle condizioni di scaling ideale (vedi caso analogico)
- n Per geometrie più piccole (**deep sub- μ**):
 - ∅ I campi elettrici tendono ad aumentare;
 - ∅ Il potenziale di barriera ϕ_B non è scalabile (la larghezza della depletion region non scala più)
 - ∅ Le regioni di S/D non possono essere ridotte facilmente (la V_{TH} non scala come ci si aspetta)
 - ∅ La mobilità diminuisce all'aumentare dei livelli di drogaggio;

n **Necessità di nuovi modelli di simulazione**



Il processo di scaling nei dispositivi VLSI

§ Limitazioni dello scaling

∅ Limitazioni del dispositivo

∅ Effetti di canale corto:

- ∅ saturazione della velocità di drift (scaling a “campo elettrico costante” non più valido);
 - ∅ Riduzione mobilità
 - ∅ effetto DIBL (drain-induced barrier lowering): degradazione dell'impedenza d'uscita.
- degradazione del g_m

∅ Correnti sottosoglia

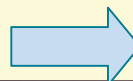
∅ Affidabilità del dispositivo (*tunnelling, breakdown*)

- ∅ Spessori di ossido si avvicinano alle dimensioni della struttura cristallina ($< 100\text{\AA}$ con densità di 5×10^{22} atomi/cm³)
- ∅ Mantenere le stesse intensità di campo elettrico \Rightarrow tensioni di alimentazioni basse \Rightarrow dispositivi più rumorosi, livelli logici incompatibili con aumento di complessità dei dispositivi

∅ Limitazioni nelle interconnessioni

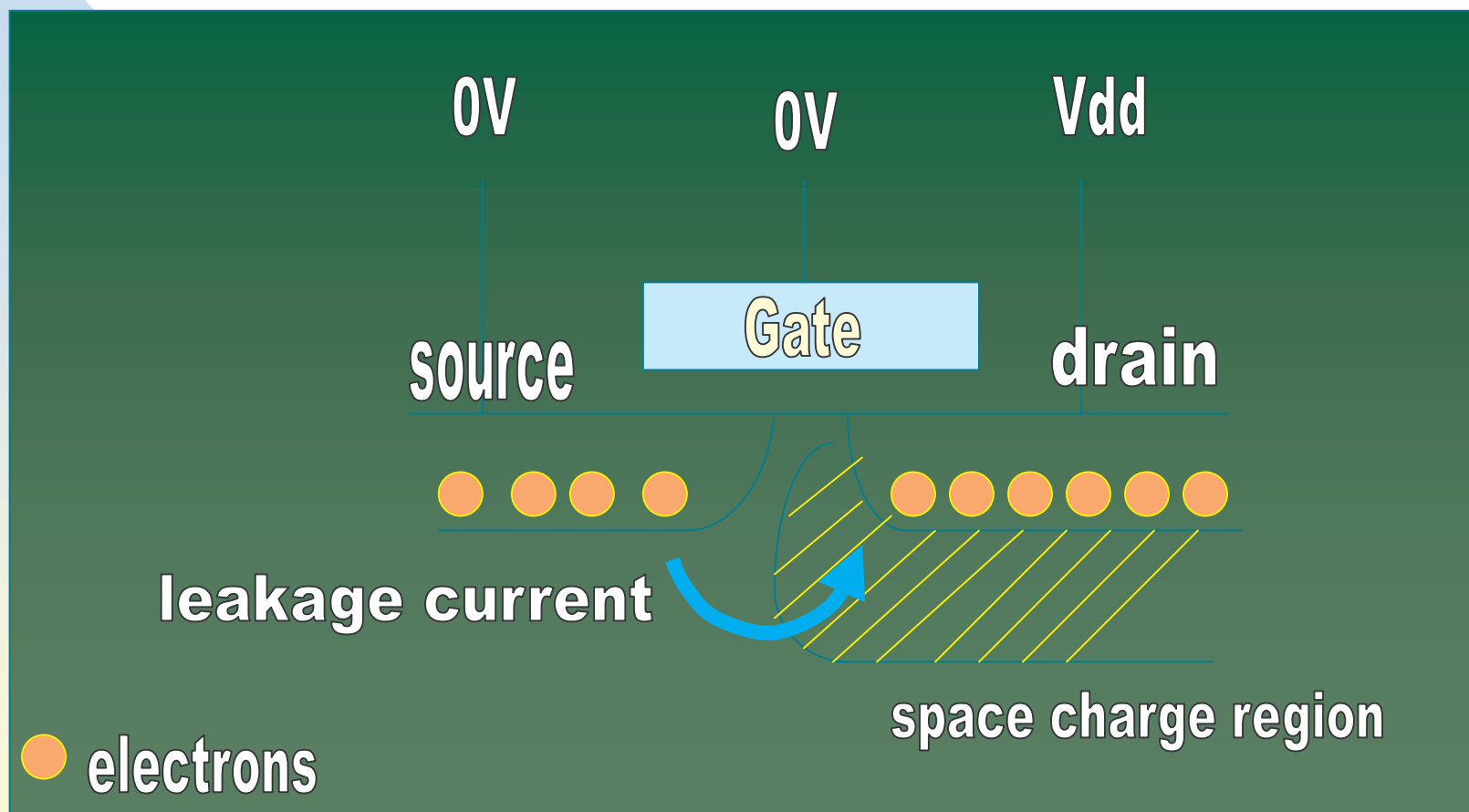
∅ Aumento densità di corrente

∅ Elettromigrazione

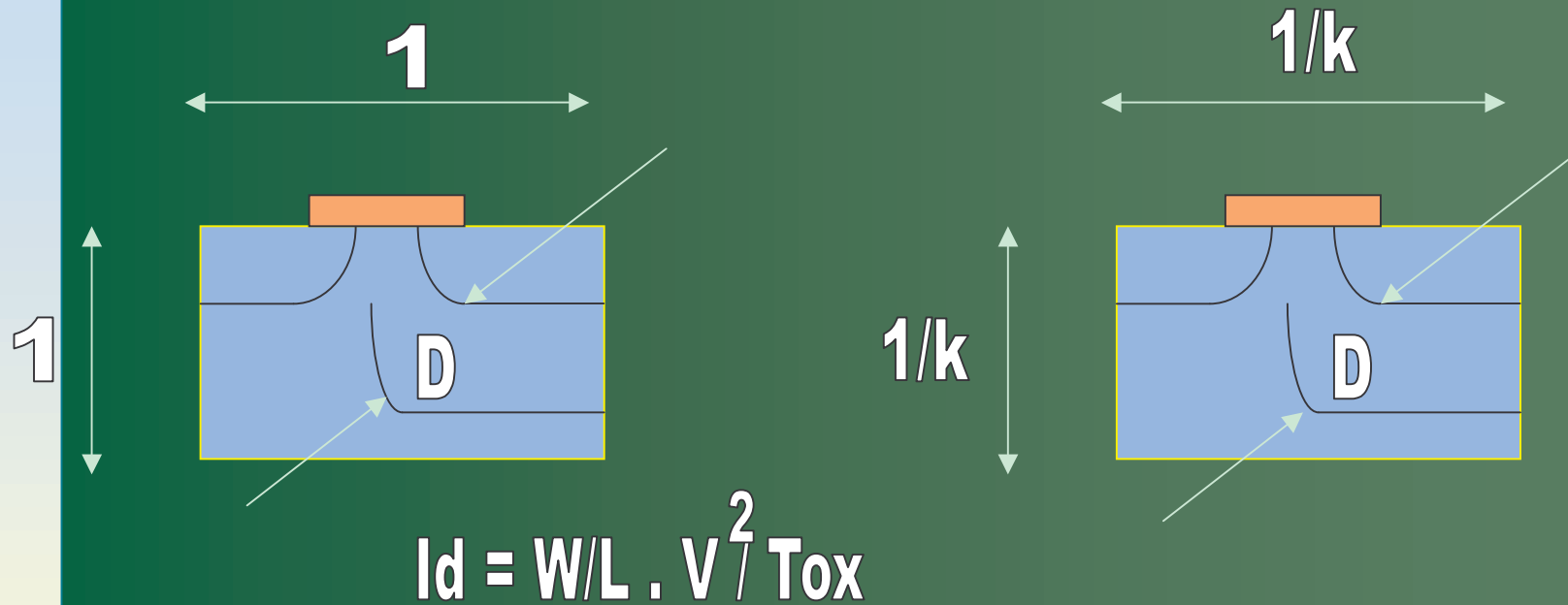


Nuove tecnologie

Effetti di canale corto



Lo scaling ideale nei MOSFET



Lo scaling di $1/K$ riduce le correnti di drain
I ritardi di propagazione si riducono a $1/k$.

Problemi pratici connessi con lo “scaling”

- § Aumento dei costi di produzione
 - ∅ Aumento dei costi delle apparecchiature
 - ∅ Passi di processo molto più complessi
- § Diminuzione dello yield e dell'affidabilità
 - ∅ Caratteristiche di campo elettrico non uniforme
- § **Aumento del consumo di potenza e dissipazione del calore**

Limiti delle prestazioni del MOSFET

- n Tempo di transito degli e^- per lunghezza di gate di 25 nm, è di 0.1 ps
 - ∅ **2-input NAND delay da 1-2 ns -> 160 ps**
- n I tempi di carica e scarica delle capacità diventano dominanti e di gran lunga superiori ai tempi di transito

Nuove tecniche nei processi di scaling attuali

- n Tecniche di drogaggio profondo del canale per sopprimere gli effetti di canale corto
- n Uso di tecniche di *silicidazione* per risolvere l'aumento delle resistenze in gioco
- n Previsioni:
 - ∅ Non si impiegherà più la litografia ottica per il trasferimento del layout sul chip oltre il 2010
 - ü Alternative: litografia nell'estremo UV
 - ü EBL
 - ∅ Difficoltà nel depositare il metallo per i miliardi di interconnessioni in gioco
 - ü Nuove strategie: interconnessioni ottiche o wireless

Limiti di velocità del CMOS

MOSFET **Transit Time**

0.1um ~1 ps (~1THz)

0.025um ~0.1 ps (several THz)

Circuit Propagation delay time/gate

0.1um ~10 ps (~100 GHz)

0.025um ~a few ps (several 100GHz)

[Saturation velocity of electrons = 10 cm/s)

LSI clock frequency

0.1 um CMOS Chip ~1 ns (~1 GHz)

0.025 um CMOS Chip ~ a few 100 ps (~ 10 GHz)?

Quale futuro per il processo VLSI?

- ∅ **Limitazioni allo scaling-down? ($0.11\mu\text{m}$)**
 - F limitazione nei processi fotolitografici (costi)
 - F densità di potenza
 - F uso del GaAs (maggiore mobilità e ridotta sensibilità alle radiazioni)
- ∅ **Strutture tridimensionali (3-D CMOS logic structures)**
- ∅ **Transistor a film sottile (Thin-film transistor)**
- ∅ **Profili di impiantazione gate complessi**
- ∅ **Schemi complessi di metallizzazioni**

Le nanotecnologie

n Con i prossimi sviluppi (0.1 μm) si apre l'era delle nanotecnologie

- ∅ Non vi è ancora un mezzo economico per ottenere layout così piccoli
- ∅ Luce UV, raggi X, EBL ad alta energia, in sviluppo

n E' usata con i MEMS sui chip

- ∅ Sensori meccanici (accelerometri) – airbag
- ∅ Sensori su Si: sensori fotonici e interconnessioni
 sensori a DNA
 sensori Chimici e Biochimici
 filtri acustici a onda superficiale (RF)

Conclusioni

Il futuro passa attraverso:

- n Ulteriore riduzione delle dimensioni, sebbene è un processo che rallenta per:
 - ⇒ Limiti fisici dei processi di fotolitografia
 - ⇒ Costi proibitivi per raggiungere le precisioni richieste
 - ⇒ Dissipazione di potenza aumenta a dismisura
- § Le tecnologie *deep sub- μ* bene, ma:
 - ⇒ limiti dovuti allo spessore degli ossidi prossimi alle dimensioni atomiche del silicio
- § Utilizzo di materiali diversi dal Silicio:
 - ⇒ GaAs, aumento della velocità dei dispositivi (più alta mobilità degli elettroni)
 - ⇒ più immunità alle radiazioni

Lo sviluppo tecnologico deciderà il futuro del VLSI